

CLAIMS

[Claim(s)]

[Claim 1] Semi-conductor accumulation time equipment which is semiconductor integrated circuit equipment with which the semiconductor integrated circuit component was formed in said semi-conductor thin film layer of the substrate for semiconductor integrated circuits which has a semi-conductor support substrate, the insulating layer prepared on said semi-conductor support substrate, and the semi-conductor thin film layer prepared on said insulating layer, and is characterized by establishing a gettering field in said semi-conductor support substrate.

[Claim 2] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 1, and is characterized by said gettering field consisting of an oxygen sludge distributed over said whole semi-conductor support substrate.

[Claim 3] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 1, and is characterized by said gettering field consisting of an impurity diffused layer by which it was formed in the interface of said semi-conductor support substrate and said insulating layer, and Lynn (P) was introduced into high concentration.

[Claim 4] It is semiconductor integrated circuit equipment characterized by being semiconductor integrated circuit equipment according to claim 1, and forming said gettering field of the thin film or stress generating field established in the rear face of said semi-conductor support substrate which uses said semi-conductor thin film layer as a front face.

[Claim 5] It is semiconductor integrated circuit equipment which is semiconductor integrated circuit equipment according to claim 1 or 4, and is characterized by said thin film being a polish recon thin film.

[Claim 6] It is semiconductor integrated circuit equipment characterized by being what formed of a stress difference with the silicon nitride film which is semiconductor integrated circuit equipment according to claim 1 or 4, and was formed in the surface roughening processing by the collision of the particle by which said stress generating field was injected by said rear face, or said rear face.

[Claim 7] It has a semiconductor integrated circuit component in the semi-conductor thin film layer prepared on the insulating layer on a semi-conductor support substrate. It is the manufacture approach of semiconductor integrated circuit equipment of having a gettering field in said semi-conductor support substrate. (a) The process which forms a gettering field in the 1st semi-conductor substrate used as said semi-conductor support substrate, (b) Said 2nd semi-conductor substrate with which silicon oxide was formed in the front face of the 2nd semi-conductor substrate used as said semi-conductor thin film layer, and said silicon oxide was formed, The manufacture approach of semiconductor integrated circuit equipment of having the process which grinds the part which starts said 2nd semi-conductor substrate among the process which joins the 1st [said] semi-conductor substrate which has said gettering field, and forms a junction substrate, and the (c) aforementioned junction substrate, and forms said semi-conductor thin film layer.

[Claim 8] It is the manufacture approach of semiconductor integrated circuit equipment according to claim 7. Said gettering field By being formed by heat-treating said 1st semi-

conductor substrate, and carrying out the ion implantation of Lynn (P) to the 1st configuration which consists of an oxygen sludge distributed over said whole semi-conductor support substrate, and said 1st semi-conductor substrate Or the manufacture approach of the semiconductor integrated circuit equipment characterized by being which configuration of 2nd configuration ** which consists of an impurity diffused layer which was formed by introducing Lynn (P) by thermal diffusion, and was formed in the interface of said semi-conductor support substrate and said insulating layer.

[Claim 9] It has a semiconductor integrated circuit component in the semi-conductor thin film layer prepared on the insulating layer on a semi-conductor support substrate. It is the manufacture approach of semiconductor integrated circuit equipment of having a gettering field in said semi-conductor support substrate. (a) Said 2nd semi-conductor substrate with which silicon oxide was formed in the front face of the 2nd semi-conductor substrate used as said semi-conductor thin film layer, and said silicon oxide was formed, The process which joins the 1st semi-conductor substrate used as said semi-conductor support substrate, and forms a junction substrate, (b) The manufacture approach of semiconductor integrated circuit equipment of having the process which grinds the part which starts said 2nd semi-conductor substrate among the process which forms a gettering field in said both-sides [of said junction substrate], or 1st semi-conductor substrate side, and the (c) aforementioned junction substrate, and forms said semi-conductor thin film layer.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention is applied to the gettering of the lamination SOI (Silicon on Insulator) wafer used for manufacture of a high speed and a low power LSI about semiconductor integrated circuit equipment and its manufacturing technology, and relates to an effective technique.

[0002]

[Description of the Prior Art] The SOI technique which can make small the junction capacitance of a component and a semi-conductor substrate for the purpose of application to a high speed and a low power LSI attracts attention.

[0003] The wafer which has SOI structure, i.e., a SOI wafer, is indicated in detail by November 30, Showa 59, Ohm-Sha Issuance, an "LSI handbook", and p388-p390, for example. It explains briefly below.

[0004] Generally the SOI wafer has constituted three layer systems. The maximum upper layer (a surface silicon layer is called below) is a single-crystal-silicon layer with a thickness of 0.1 micrometers - several micrometers, and a semiconductor integrated circuit component is formed here. As an interlayer, it is the embedding SiO₂ of 100nm of thickness numbers. It has the film (Following BOX is called) and has a silicon substrate in the lowest layer.

[0005] Also in such a SOI wafer, the technique of carrying out gettering of the impurities, such as a metal atom contained in the surface silicon layer which serves as a field in which a semiconductor integrated circuit component is formed like a silicon wafer, or a defect, and raising the engine performance of a semiconductor integrated circuit component is required.

[0006] There is JP,6-61235,A as a gettering technique in a SOI wafer. That is, gettering layers, such as a high concentration in plastic layer and a polycrystalline silicon layer, are prepared in right above [of the embedding oxide film of the substrate for semiconductor integrated circuits of SOI structure] using a wafer lamination technique for the purpose of offering the semiconductor integrated circuit equipment and its manufacture approach of the SOI structure in which the high electric reliability of a device and the high yield are possible.

[0007] Moreover, since it was considered that a heavy-metal atom hardly penetrated BOX conventionally, to the SOI wafer, it was thought that the conventional in thorin chic gettering method and the IKUSU thorin chic gettering method were inapplicable, and the effective gettering method was not proposed.

[0008] However, in J.Electrochem.Soc. besides J.Jab1onski, the 142nd volume of the No. 6 2059 pages, and June, 1995, it is reported from the experiment using a SIMOX wafer that a heavy-metal atom penetrates BOX of 100nm of thickness numbers, and the gettering method for a SIMOX wafer is proposed from it. If this proposal is explained briefly, the getter of the heavy-metal atom in a surface silicon layer will be carried out to the ion-implantation damage layer directly under BOX.

[0009]

[Problem(s) to be Solved by the Invention] As for the technique shown in above-mentioned JP,6-61235,A, preparing a gettering layer between the surface silicon layers and BOX(s)

which have the thickness of 0.1 micrometers - several micrometers, and preparing a gettering layer in the lower part of such a thin surface silicon layer is accompanied by the difficulty on a process.

[0010] Moreover, although the technique shown in reference besides said J.Jabłonski prepares a gettering layer in the BOX lower part, since a gettering layer is what is formed as a damage layer of an ion implantation through a surface silicon layer, it is difficult to keep high the quality of the surface silicon layer which influences the engine performance of a semiconductor integrated circuit component after BOX formation.

[0011] The object of this invention is to offer semiconductor integrated circuit equipment equipped with the gettering layer which has high gettering capacity.

[0012] Other objects of this invention are to offer the simple manufacture approach of such semiconductor integrated circuit equipment.

[0013] The object of further others of this invention carries out gettering of the impurity by the gettering layer, and is to improve the engine performance of semiconductor integrated circuit equipment.

[0014] The other objects and the new description will become clear from description and the accompanying drawing of this description along [said] this invention.

[0015]

[Means for Solving the Problem] It will be as follows if the outline of a typical thing is briefly explained among invention indicated in this application.

[0016] (1) The semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment with which the semiconductor integrated circuit component was formed in the semi-conductor thin film layer of the substrate for semiconductor integrated circuits which has the insulating layer prepared on the semi-conductor support substrate and the semi-conductor support substrate, and the semi-conductor thin film layer prepared on the insulating layer, and establishes a gettering field in a semi-conductor support substrate.

[0017] Since the gettering field was established in the semi-conductor support substrate of the substrate for semiconductor integrated circuits illustrated by SOI according to such semiconductor integrated circuit equipment, it is not necessary to establish a gettering field in the semi-conductor thin film layer prepared on the insulating layer, and the engine performance of the semiconductor integrated circuit component formed in the semi-conductor thin film layer can be improved.

[0018] That is, an effective gettering field can be formed by the easy manufacture approach by adopting the configuration which prepares a gettering field as the conventional semi-conductor support substrate instead of a configuration which establishes a gettering field in the interface of the semi-conductor thin film layer and insulating layer from which a production process becomes complicated.

[0019] (2) The semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment of the aforementioned (1) publication, and uses a gettering field as the oxygen sludge distributed over the whole semi-conductor support substrate.

[0020] According to such semiconductor integrated circuit equipment, the engine performance of a semiconductor integrated circuit component can be improved by using a gettering field as the oxygen sludge distributed over the whole semi-conductor support substrate. That is, gettering of the impurities, such as a metal which exists in a semi-

conductor thin film layer, or a defect, can be carried out to the distortion field formed with the oxygen sludge, and the impurity in a semi-conductor thin film layer can be reduced.

[0021] Moreover, by establishing the gettering field which consists of an oxygen sludge in the semi-conductor support substrate instead of a semi-conductor thin film layer, it dissociates and a semi-conductor thin film layer can form a gettering field. Therefore, the hysteresis of annealing temperature can be devised, it is not necessary to form a denuded zone in a semi-conductor thin film layer, and a production process can be simplified.

[0022] (3) Lynn which the semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment of the aforementioned (1) publication, and was formed in the interface of a semi-conductor support substrate and an insulating layer in the gettering field -- (P) considers as the impurity diffused layer introduced into high concentration.

[0023] Since according to such semiconductor integrated circuit equipment the engine performance of a semiconductor integrated circuit component can be improved and the impurity diffused layer which can simplify a production process and into which further high-concentration Lynn (P) was introduced was prepared, gettering of the metal impurity can be carried out according to the chemical operation by buildup of ***** of a metallic element.

[0024] (4) The semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment of the aforementioned (1) publication, and forms a gettering field by the thin film or stress generating field established in the rear face of the semi-conductor support substrate which uses a semi-conductor thin film layer as a front face.

[0025] Since it forms by the thin film or stress generating field in which the gettering field was established at the rear face of a semi-conductor support substrate according to such semiconductor integrated circuit equipment, the engine performance of a semiconductor integrated circuit component can be improved, and a production process can be simplified. That is, since it is the structure which added the gettering field to the substrate for semiconductor integrated circuits which does not have a gettering field, a gettering field can be formed comparatively freely in the phase of the arbitration of the production process of semiconductor integrated circuit equipment. Thereby, it becomes easy to attain optimization of the whole production process of semiconductor integrated circuit equipment.

[0026] (5) The semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment the above (1) or given in (4), and uses a thin film as a polish recon thin film.

[0027] Since the thin film which is a gettering field is used as a polish recon thin film according to such semiconductor integrated circuit equipment, gettering of a metal impurity can be performed effectively and the engine performance of semiconductor integrated circuit equipment can be improved.

[0028] That is, the gettering capacity of the metal impurity not only by an operation of the distortion field by the stress formed in the interface of the polish recon thin film and the rear face of a semi-conductor support substrate but operation of the grain boundary of the crystal defect which exists in a polish recon thin film, especially the silicon grain which constitutes a polish recon thin film can be increased by making a polish recon thin film into a gettering field.

[0029] (6) The semiconductor integrated circuit equipment of this invention is semiconductor integrated circuit equipment the above (1) or given in (4), and forms a stress generating field by the stress difference with the silicon nitride film formed in the surface roughening processing by the collision of the particle injected by the rear face, or a rear face.

[0030] Since the stress generating field is formed by the stress difference with the silicon nitride film formed in the surface roughening processing by the collision of the particle injected by the rear face, or a rear face according to such semiconductor integrated circuit equipment, gettering of a metal impurity can be performed effectively and the engine performance of semiconductor integrated circuit equipment can be improved.

[0031] That is, the surface roughening processing by the collision of the particle to the rear face of a semi-conductor support substrate or formation of a silicon nitride film makes that field processed or formed generate big stress, and formation of the distortion field by this stress performs gettering of a metal impurity very effectively.

[0032] (7) The manufacture approach of the semiconductor integrated circuit equipment of this invention It has a semiconductor integrated circuit component in the semi-conductor thin film layer prepared on the insulating layer on a semi-conductor support substrate. It is the manufacture approach of semiconductor integrated circuit equipment of having a gettering field in a semi-conductor support substrate. (a) The process which forms a gettering field in the 1st semi-conductor substrate used as a semi-conductor support substrate, (b) Silicon oxide is formed in the front face of the 2nd semi-conductor substrate used as a semi-conductor thin film layer. It has the process which joins the 2nd semi-conductor substrate in which silicon oxide was formed, and the 1st semi-conductor substrate which has a gettering field, and forms a junction substrate, and the process which grinds the part concerning the semi-conductor substrate of [2nd] the (c) junction substrates, and forms a semi-conductor thin film layer.

[0033] In order according to the manufacture approach of such semiconductor integrated circuit equipment to form a gettering field in the 1st semi-conductor substrate and to form the substrate for semiconductor integrated circuits by sticking with the 2nd semi-conductor substrate created independently, the semi-conductor thin film layer in which a semiconductor integrated circuit component is formed of the production process of a gettering field is not influenced. Consequently, it can hold good, without degrading the quality of the semi-conductor thin film layer which influences the engine performance of a semiconductor integrated circuit component according to the production process of a gettering field.

[0034] (8) The manufacture approach of the semiconductor integrated circuit equipment of this invention It is the manufacture approach of the semiconductor integrated circuit equipment the aforementioned (7) publication. A gettering field The oxygen sludge distributed over the whole semi-conductor support substrate formed by heat-treating the 1st semi-conductor substrate, Or let Lynn (P) be either of the impurity diffused layer **'s which were formed an ion implantation or by carrying out thermal diffusion, and were formed at the interface of a semi-conductor support substrate and an insulating layer at the 1st semi-conductor substrate.

[0035] According to the manufacture approach of such semiconductor integrated circuit equipment, an oxygen sludge or an impurity diffused layer can optimize an oxygen sludge or the process conditions of manufacture of an impurity diffused layer, without being able

to manufacture apart from the 2nd semi-conductor substrate containing the semi-conductor thin film layer which influences the engine performance of a semiconductor integrated circuit component, and taking into consideration physical-properties change of the 2nd semi-conductor substrate.

[0036] (9) The manufacture approach of the semiconductor integrated circuit equipment of this invention It has a semiconductor integrated circuit component in the semi-conductor thin film layer prepared on the insulating layer on a semi-conductor support substrate. It is the manufacture approach of semiconductor integrated circuit equipment of having a gettering field in a semi-conductor support substrate. (a) Silicon oxide is formed in the front face of the 2nd semi-conductor substrate used as a semi-conductor thin film layer. The process which joins the 1st semi-conductor substrate used as the 2nd semi-conductor substrate with which silicon oxide was formed, and a semi-conductor support substrate, and forms a junction substrate, (b) The part which starts the 2nd semi-conductor substrate among the process which forms a gettering field in a both-sides [of a junction substrate] or 1st semi-conductor substrate side, and (c) junction substrate is ground, and it has the process which forms a semi-conductor thin film layer.

[0037] Since according to the manufacture approach of such semiconductor integrated circuit equipment a gettering field is formed in the both sides or the 1st semi-conductor substrate side after sticking the 1st semi-conductor substrate and the 2nd semi-conductor substrate, a production process can be simplified. namely, in forming a thin film in a 1st semi-conductor substrate side, i.e., the rear face of the substrate for semiconductor integrated circuit components, and making this into a gettering field Rather than it adopts the 2nd semi-conductor substrate and the process to stick after establishing a gettering field in the 1st semi-conductor substrate beforehand Since the direction in which a gettering field is established does not need to remove before lamination the contamination generated at the time of thin film formation after sticking the 1st and 2nd semi-conductor substrates, a process can be simplified and it is advantageous.

[0038]

[Embodiment of the Invention] Hereafter, the gestalt of operation of this invention is explained to a detail based on a drawing.

[0039] (Gestalt 1 of operation) Drawing 1 is the important section sectional view having shown an example of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[0040] The semiconductor integrated circuit equipment 1 of the gestalt 1 of this operation does not have the SOI structure which consists of a surface silicon layer 4 which is a semi-conductor thin film layer formed on BOX3 and BOX3 which are the insulating layer formed on the semi-conductor support substrate 2 and the semi-conductor support substrate 2, and although not illustrated in the surface silicon layer 4, the semiconductor integrated circuit component is formed.

[0041] The semi-conductor support substrate 2 has the oxygen sludge 5 used as the site of gettering. the oxygen sludge 5 -- the whole of the semi-conductor support substrate 2 -- almost -- homogeneity -- being distributed -- the consistency -- 104-106 An individual / cm³ it is .

[0042] According to such semiconductor integrated circuit equipment 1, gettering of the impurity which exists in the surface silicon layer 4 can be carried out with the oxygen sludge 5 which exists in the semi-conductor support substrate 2 through BOX3. The

engine performance of the semiconductor integrated circuit component formed in the surface silicon layer 4 can be improved by this, and high-performance-izing of semiconductor integrated circuit equipment 1 and improvement in the yield can be aimed at.

[0043] Next, the manufacture approach of the semiconductor integrated circuit equipment 1 of the gestalt 1 this operation is explained according to drawing 2 - drawing 7.

[0044] First, the silicon wafer 6 which is the 1st semi-conductor substrate is prepared (drawing 2). A silicon wafer 6 serves as the semi-conductor support substrate 2.

[0045] The crystal property of a silicon wafer 6 can be made into 550 micrometers in field bearing (100), electric conduction form N type, resistivity 10 ohm-cm, oxygen density 1×10^{18} atom / cm³, the diameter of 125mm, and thickness.

[0046] Next, the precipitation-of-oxygen nucleus 7 is formed in the interior of a wafer by annealing a silicon wafer 6 (drawing 3 R>3). Annealing conditions can make temperature 750 degrees C among N₂ ambient atmosphere, and can make the processing time 5 hours.

[0047] Next, the silicon wafer 8 which is the 2nd semi-conductor substrate is prepared (drawing 4). A silicon wafer 8 turns into a near bond wafer with which the component of a SOI wafer is formed.

[0048] The crystal property of a silicon wafer 8 can be made into 550 micrometers in field bearing (100), electric conduction form N type, resistivity 10 ohm-cm, oxygen density 8×10^{17} atom / cm³, the diameter of 125mm, and thickness.

[0049] Next, a silicon wafer 8 is oxidized thermally, BOX3 with a thickness of 500nm is formed in a front face, and it considers as the bond wafer 9 (drawing 5).

[0050] Next, after making a mirror plane side counter mutually and piling up a silicon wafer 6 and the bond wafer 9, while performing 1050 degrees C and annealing of 3 hours in N₂ ambient atmosphere and pasting both up firmly, the precipitation-of-oxygen nucleus 7 formed in the silicon wafer 6 is grown up into the oxygen sludge 10 (drawing 6).

Thereby, the lamination wafer 11 is obtained.

[0051] next, the field by the side of the bond wafer 9 of the lamination wafer 11 -- up to thickness thicker [10 micrometers of numbers] than the thickness of the surface silicon layer 4 predetermined with a surface grinder -- removing -- after that -- the chemical mechanical grinding method -- the thickness (for example, 2 micrometers) of the predetermined surface silicon layer 4 -- until -- it grinds (drawing 7). Thus, the substrate for semiconductor integrated circuits which has the oxygen sludge 10 used as a gettering site is formed into the semi-conductor support substrate 2 under BOX3.

[0052] Finally a semiconductor integrated circuit component is formed in the front face of the surface silicon layer 4 using a well-known technique, and semiconductor integrated circuit equipment 1 is completed.

[0053] According to the manufacture approach of such semiconductor integrated circuit equipment 1, the oxygen sludge 10 which is a gettering field is formed in the semi-conductor support substrate 2 which is the 1st semi-conductor substrate. In order to form the substrate for semiconductor integrated circuits by sticking the bond wafer 9 which is the 2nd semi-conductor substrate created independently, The effect of the surface silicon layer 4 received with the formation process of the oxygen sludge 10 can be avoided, consequently the engine performance of semiconductor integrated circuit equipment 1 can be improved.

[0054] Moreover, since the precipitation-of-oxygen nucleus 7 and the 2nd semi-conductor substrate containing the surface silicon layer 4 can be manufactured independently, optimization of the process conditions for raising the consistency of the precipitation-of-oxygen nucleus 7 can be attained, without taking into consideration physical-properties change of the 2nd semi-conductor substrate.

[0055] (Gestalt 2 of operation) Drawing 8 is the important section sectional view having shown an example of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.

[0056] The semiconductor integrated circuit equipment 12 of the gestalt 2 of this operation does not have the SOI structure which consists of a surface silicon layer 4 which is a semi-conductor thin film layer formed on BOX3 and BOX3 which are the insulating layer formed on the semi-conductor support substrate 13 and the semi-conductor support substrate 13, and although not illustrated in the surface silicon layer 4, the semiconductor integrated circuit component is formed.

[0057] Moreover, the polycrystal silicone film 14 is formed in the rear face of the semi-conductor support substrate 13 by the thickness which is about 1 micrometer. This polycrystal silicone film 14 serves as a gettering field.

[0058] According to such semiconductor integrated circuit equipment 12, by carrying out gettering of the impurity which exists in the surface silicon layer 4 to the polycrystal silicone film 14 through BOX3 and the semi-conductor support substrate 13, the engine performance of the semiconductor integrated circuit component formed in the surface silicon layer 4 can be improved, and high-performance-izing of semiconductor integrated circuit equipment 12 and improvement in the yield can be aimed at.

[0059] Next, the manufacture approach of the semiconductor integrated circuit equipment 12 of the gestalt 2 this operation is explained according to drawing 9 - drawing 11.

[0060] First, the silicon wafer 15 which is the 2nd semi-conductor substrate is prepared, a silicon wafer 15 is oxidized thermally, and BOX3 with a thickness of 500nm is formed in a front face (drawing 9). A silicon wafer 15 turns into a near bond wafer with which the component of a SOI wafer is formed.

[0061] The crystal property of a silicon wafer 15 can be made into 550 micrometers in field bearing (100), electric conduction form N type, resistivity 10 ohm-cm, the diameter of 125mm, and thickness.

[0062] Next, the silicon wafer 16 which has the same crystal property as a silicon wafer 15 is prepared, after making a mirror plane side counter mutually and piling up a silicon wafer 15 and a silicon wafer 16, in N2 ambient atmosphere, annealing is performed using the processing time as 3 hours using temperature as 1050 degrees C, both are pasted up firmly, and the lamination wafer 17 is obtained (drawing 10 R>0). A silicon wafer 16 serves as the semi-conductor support substrate 13.

[0063] Next, it deposits on both sides of the lamination wafer 17 until it becomes the thickness of about 1 micrometer about the polycrystal silicone film 14 using a well-known CVD method (drawing 11).

[0064] next, the field by the side of the silicon wafer 15 of the lamination wafer 17 -- up to thickness thicker [10 micrometers of numbers] than the thickness of the surface silicon layer 4 predetermined with a surface grinder -- removing -- after that -- the chemical mechanical grinding method -- the thickness (for example, 2 micrometers) of the predetermined surface silicon layer 4 -- until -- it grinds. Thus, the substrate for

semiconductor integrated circuits which has the polycrystal silicone film 14 used as a gettering field is formed in the rear face of the semi-conductor support substrate 13. [0065] Finally a semiconductor integrated circuit component is formed in the front face of the surface silicon layer 4 using a well-known technique, and the semiconductor integrated circuit equipment 12 shown in drawing 8 is completed.

[0066] Since according to the manufacture approach of such semiconductor integrated circuit equipment 12 the polycrystal silicone film 14 is formed after sticking a silicon wafer 15 and a silicon wafer 16, a production process can be simplified. That is, since the direction in which the polycrystal silicone film 14 is formed does not need to remove before lamination the contamination generated at the time of thin film formation forming the polycrystal silicone film 14 beforehand and sticking on the silicon wafer 16 side which is the 1st semi-conductor substrate with a silicon wafer 15 after sticking, a process can be simplified and it is advantageous.

[0067] In addition, although the gestalt 2 of this operation showed the example of the polycrystal silicone film 14 as a gettering field, you may be formation of a silicon nitride film, or surface roughening processing by sandblasting. In this case, an impurity is efficient and gettering of the gettering of an impurity is carried out by generating of the distortion field by the interface of the silicon nitride film and the semi-conductor support substrate 13 which were formed, or the roughened stress of a field. Moreover, since these processings are generally processed at low temperature, it is rare to affect a device property. In addition, the ambient atmosphere which forms the lamination wafer 17 in this case is N₂. Otherwise, it can consider as oxygen. When such, an oxygen induction stacking fault is formed in a mechanical defective part, and the effectiveness of gettering can be raised further.

[0068] Moreover, as an example of the gettering field aiming at generating of mechanical stress, although the example of a silicon nitride film was shown, you may be thin films, such as a carbonization silicone film, aluminum oxide film, and titanium nitride.

[0069] (Gestalt 3 of operation) Drawing 12 is the important section sectional view having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[0070] The semiconductor integrated circuit equipment 18 of the gestalt 3 of this operation does not have the SOI structure which consists of a surface silicon layer 4 which is a semi-conductor thin film layer formed on BOX3 and BOX3 which are the insulating layer formed on the semi-conductor support substrate 13 and the semi-conductor support substrate 13, and although not illustrated in the surface silicon layer 4, the semiconductor integrated circuit component is formed.

[0071] Moreover, the impurity diffused layer 19 by which Lynn (P) was introduced into high concentration is formed in the interface of the semi-conductor support substrate 13 and BOX3. This impurity diffused layer 19 serves as a gettering field.

[0072] According to such semiconductor integrated circuit equipment 18, by carrying out gettering of the impurity which exists in the surface silicon layer 4 to an impurity diffused layer 19 through BOX3, the engine performance of the semiconductor integrated circuit component formed in the surface silicon layer 4 can be improved, and high-performance-izing of semiconductor integrated circuit equipment 18 and improvement in the yield can be aimed at.

[0073] Next, the manufacture approach of the semiconductor integrated circuit equipment

18 of the gestalt 3 this operation is explained according to drawing 13 - drawing 15.

[0074] First, the silicon wafer 13 which is the 1st semi-conductor substrate is prepared (drawing 13).

[0075] The crystal property of a silicon wafer 13 can be made into 550 micrometers in field bearing (100), electric conduction form N type, resistivity 10 ohm-cm, the diameter of 125mm, and thickness.

[0076] Next, an impurity diffused layer 19 is formed by doping Lynn (P) to the mirror plane side of a silicon wafer 13 (drawing 14).

[0077] A thermal diffusion method can be used for the approach of doping Lynn (P). In this case, POCl_3 The Lynn concentration is abbreviation 1×10^{21} atom / cm^3 by making it the diffusion source and depositing for 15 minutes at 950 degrees C. A phosphorus glass layer is formed and it is N_2 . 1000 degrees C and annealing for 30 minutes are performed in an ambient atmosphere, and they are a depth of 1 micrometer, concentration 1×10^{20} atom / cm^3 . The Lynn diffusion layer can be formed.

[0078] Moreover, ion-implantation can be illustrated as an approach of doping Lynn (P). In this case, P^+ They are energy 100keV, and dose 1×10^{16} ion / cm^2 about ion. N_2 after pouring in 1000 degrees C and annealing for 30 minutes are performed in an ambient atmosphere, and they are a depth of 1 micrometer, concentration 1×10^{20} atom / cm^3 . The Lynn diffusion layer can be formed.

[0079] Next, the silicon wafer 8 explained with the gestalt 1 of operation is prepared, BOX3 is formed in this front face, and the bond wafer 9 is formed (drawing 5). Since it is the same as that of the gestalt 1 of operation about a silicon wafer 8, BOX3, and the bond wafer 9, explanation is omitted.

[0080] Next, N_2 after making a mirror plane side counter mutually and piling up a silicon wafer 13 and the bond wafer 9 1050 degrees C and annealing of 3 hours are performed in an ambient atmosphere, both are pasted up firmly, and the lamination wafer 21 is obtained (drawing 1515).

[0081] next, the field by the side of the bond wafer 9 of the lamination wafer 21 -- up to thickness thicker [10 micrometers of numbers] than the thickness of the surface silicon layer 4 predetermined with a surface grinder -- removing -- after that -- the chemical mechanical grinding method -- the thickness (for example, 2 micrometers) of the predetermined surface silicon layer 4 -- until -- it grinds. Thus, the substrate for semiconductor integrated circuits which has the impurity diffused layer 19 used as a gettering field in the interface of the semi-conductor support substrate 13 and BOX3 is formed.

[0082] Finally a semiconductor integrated circuit component is formed in the front face of the surface silicon layer 4 using a well-known technique, and the semiconductor integrated circuit equipment 18 shown in drawing 12 is completed.

[0083] In order according to the manufacture approach of such semiconductor integrated circuit equipment 18 to dissociate and to perform formation of an impurity diffused layer 19 used as a gettering field, and formation of the bond wafer 9 which has the surface silicon layer 4 which influences the engine performance of semiconductor integrated circuit equipment, and BOX3, the physical properties of the surface silicon layer 4 and the interface of BOX3 are not influenced by formation of an impurity diffused layer 19. For example, after forming BOX3, although an impurity may be generated for the residual of

the impurity atom within BOX3 introduced etc. through BOX3 thermal diffusion or when carrying out ion doping, such nonconformity is not produced by the manufacture approach of the gestalt 3 this operation. Consequently, it can contribute to the improvement in the engine performance of semiconductor integrated circuit equipment, and the improvement in the yield.

[0084] As mentioned above, although invention made by this invention person was concretely explained based on the gestalt of implementation of invention, it cannot be overemphasized that it can change variously in the range which this invention is not limited to the gestalt of said operation, and does not deviate from the summary.

[0085]

[Effect of the Invention] It will be as follows if the effectiveness acquired by the typical thing among invention indicated in this application is explained briefly.

[0086] (1) It became applicable [the gettering technique to the lamination SOI wafer considered to be conventionally difficult]. Namely, embedding SiO₂ which is an insulating layer By establishing a gettering field in the semi-conductor support substrate of the membranous lower part, the trap of the contamination heavy metal which enters in the production process of a semiconductor device can be carried out to these gettering fields, and it becomes possible to aim at improvement in the electrical property of a component, and a probe yield. Moreover, since the gettering field was established in the semi-conductor support substrate, it is not necessary to establish a gettering field in the semi-conductor thin film layer prepared on the insulating layer, and the engine performance of the semiconductor integrated circuit component formed in the semi-conductor thin film layer can be improved.

[0087] (2) By using a gettering field as the oxygen sludge distributed over the whole semi-conductor support substrate, the engine performance of a semiconductor integrated circuit component can be improved. Moreover, it can become possible [a semi-conductor thin film layer] to dissociate and to form a gettering field, it is not necessary to form a denuded zone in a semi-conductor thin film layer, and a production process can be simplified by establishing the gettering field which consists of an oxygen sludge in the semi-conductor support substrate instead of a semi-conductor thin film layer.

[0088] (3) Since the impurity diffused layer into which high-concentration Lynn (P) was introduced was prepared, gettering of the metal impurity can be carried out according to the chemical operation by buildup of ***** of a metallic element.

[0089] (4) Since it forms by the thin film or stress generating field in which the gettering field was established at the rear face of a semi-conductor support substrate, it becomes the structure which added the gettering field to the substrate for semiconductor integrated circuits which does not have a gettering field, and a gettering field can be formed comparatively freely in the phase of the arbitration of the production process of semiconductor integrated circuit equipment. Thereby, it becomes easy to attain optimization of the whole production process of semiconductor integrated circuit equipment.

[0090] (5) In order to use as a polish recon thin film or a silicon nitride film the thin film which is a gettering field, or since a gettering field is formed by surface roughening processing by the collision of the particle injected by the rear face, gettering of a metal impurity can be performed effectively and the engine performance of semiconductor integrated circuit equipment can be improved.

[0091] (6) Since a gettering field is formed in the 1st semi-conductor substrate and the substrate for semiconductor integrated circuits is formed by sticking with the 2nd semi-conductor substrate created independently, it can hold good, without degrading the quality of the semi-conductor thin film layer which can avoid the effect on the semi-conductor thin film layer received according to the production process of a gettering field, consequently influences the engine performance of a semiconductor integrated circuit component according to the production process of a gettering field.

[0092] (7) An oxygen sludge or the process conditions of manufacture of an impurity diffused layer can be optimized, without being able to manufacture apart from the 2nd semi-conductor substrate containing the semi-conductor thin film layer which influences the engine performance of a semiconductor integrated circuit component in an oxygen sludge or an impurity diffused layer, and taking into consideration physical-properties change of the 2nd semi-conductor substrate.

[0093] (8) Since a gettering field is formed after sticking the 1st semi-conductor substrate and the 2nd semi-conductor substrate, a production process can be simplified.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the important section sectional view having shown an example of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 2] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 3] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 4] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 5] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 6] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 7] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of 1 operation of this invention.

[Drawing 8] It is the important section sectional view having shown an example of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.

[Drawing 9] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.

[Drawing 10] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.

[Drawing 11] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment which is the gestalt of other operations of this invention.

[Drawing 12] It is the important section sectional view having shown an example of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Drawing 13] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Drawing 14] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment of this invention

which is the gestalt of other operations further.

[Drawing 15] It is the important section sectional view having shown an example of the production process of the semiconductor integrated circuit equipment of this invention which is the gestalt of other operations further.

[Description of Notations]

1 12 Semiconductor integrated circuit equipment

2 13 Semi-conductor support substrate

3 BOX

4 Surface Silicon Layer

5 Oxygen Sludge

6, 8, 15, 16 Silicon wafer

7 Precipitation-of-Oxygen Nucleus

9 Bond Wafer

10 Oxygen Sludge

11 Lamination Wafer

14 Polycrystal Silicone Film

17 21 Lamination wafer

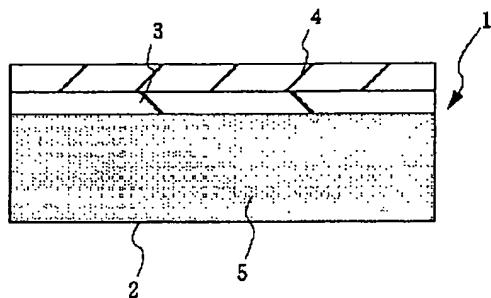
18 Semiconductor Integrated Circuit Equipment

19 Impurity Diffused Layer

DRAWINGS

[Drawing 1]

図 1



1 半導体集積回路装置

2 半導体支持基板

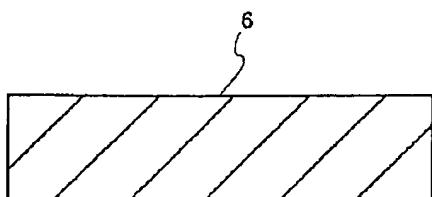
3 BOX

4 表面シリコン層

5 酸素析出物

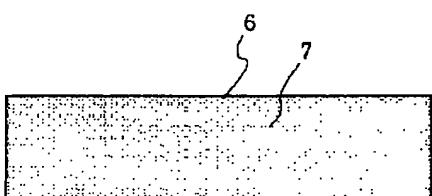
[Drawing 2]

図 2



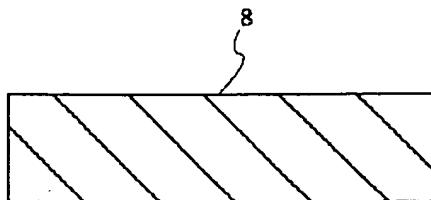
[Drawing 3]

図 3



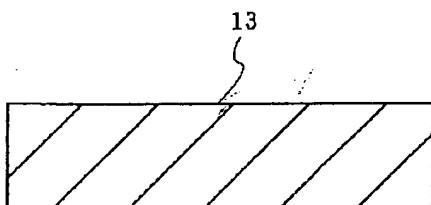
[Drawing 4]

図 4



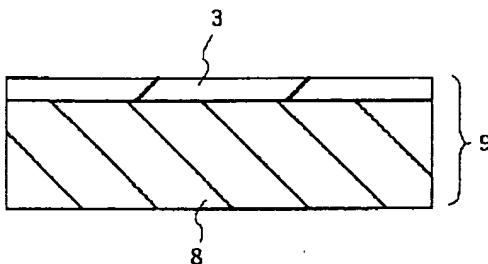
[Drawing 13]

図 13



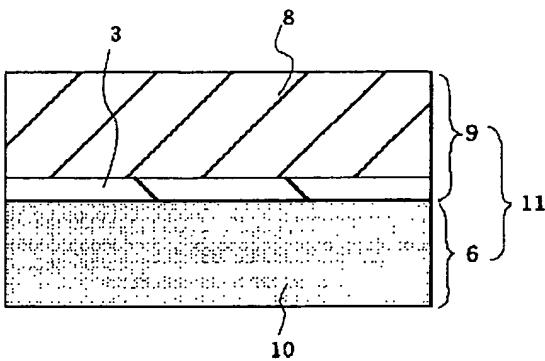
[Drawing 5]

図 5



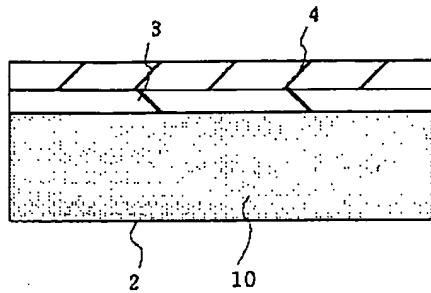
[Drawing 6]

図 6



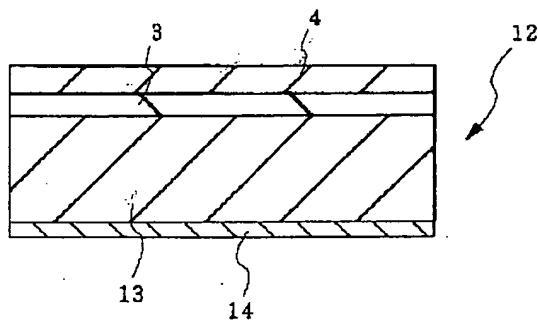
[Drawing 7]

図 7



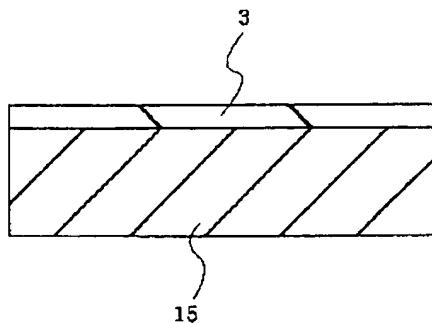
[Drawing 8]

図 8



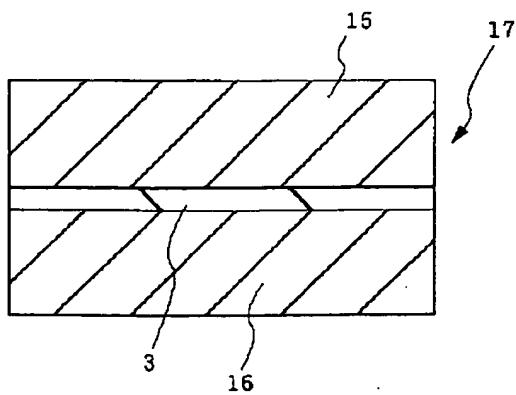
[Drawing 9]

図 9

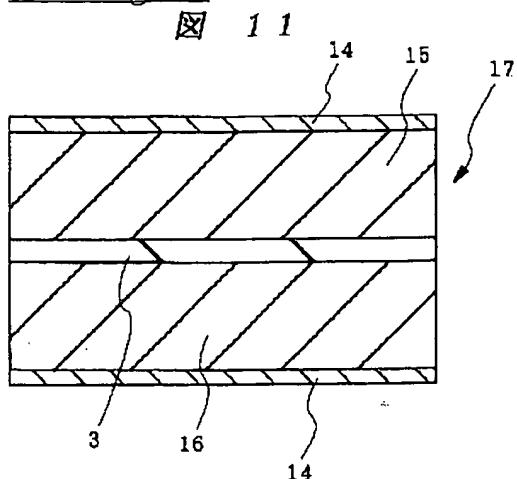


[Drawing 10]

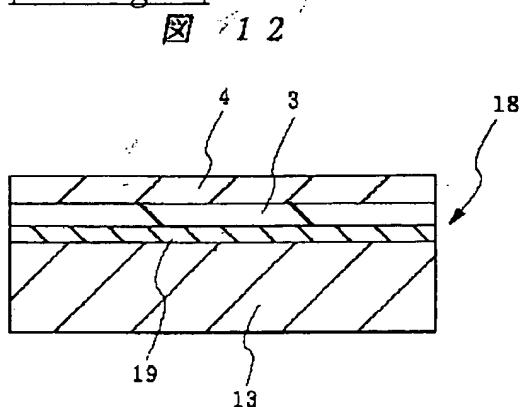
図 10



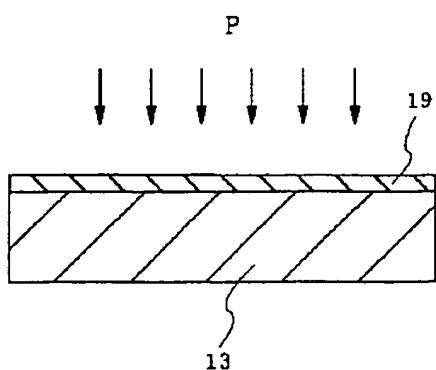
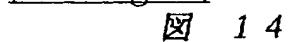
[Drawing 11]



[Drawing 12]

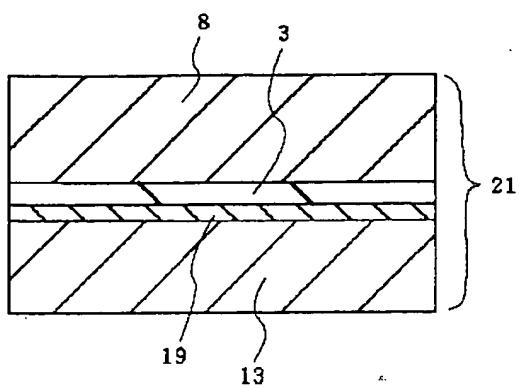


[Drawing 14]



[Drawing 15]

図 15



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-326396

(43)公開日 平成9年(1997)12月16日

(51)Int.Cl.⁸
H 01 L 21/322
27/12

識別記号 庁内整理番号
F I
H 01 L 21/322
27/12

F I
H 01 L 21/322
G
Y
B

審査請求 未請求 請求項の数9 O.L (全9頁)

(21)出願番号

特願平8-140579

(22)出願日

平成8年(1996)6月4日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 加藤 照男

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センター内

(74)代理人 弁理士 筒井 大和

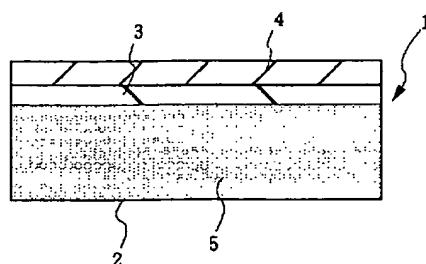
(54)【発明の名称】 半導体集積回路装置およびその製造方法

(57)【要約】

【課題】 貼り合わせSOIウェハに関するゲッタリング法を提供する。

【解決手段】 半導体支持基板2上にBOX3、BOX3上に表面シリコン層4を有し、表面シリコン層4に半導体集積回路素子が形成された半導体集積回路装置1において、半導体支持基板2の全体にゲッタリング領域として酸素析出物5を形成し、表面シリコン層4に存在する重金属原子等の不純物を、BOX3を介して酸素析出物5にトラップすることにより表面シリコン層4の不純物濃度を低下させる。また、ゲッタリング領域としては、半導体支持基板2の裏面に形成した多結晶シリコン膜、シリコン窒化膜あるいは機械的損傷層とすることができる。

図 1



1 半導体集積回路装置
2 半導体支持基板
3 BOX
4 表面シリコン層
5 酸素析出物

【特許請求の範囲】

【請求項 1】 半導体支持基板と、前記半導体支持基板上に設けられた絶縁層と、前記絶縁層上に設けられた半導体薄膜層とを有する半導体集積回路用基板の前記半導体薄膜層に半導体集積回路素子が形成された半導体集積回路装置であって、
前記半導体支持基板にゲッタリング領域を設けたことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置であって、

前記ゲッタリング領域は、前記半導体支持基板全体に分布した酸素析出物からなることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 記載の半導体集積回路装置であって、

前記ゲッタリング領域は、前記半導体支持基板と前記絶縁層との界面に形成され、リン (P) が高濃度に導入された不純物拡散層からなることを特徴とする半導体集積回路装置。

【請求項 4】 請求項 1 記載の半導体集積回路装置であって、

前記ゲッタリング領域は、前記半導体薄膜層を表面とする前記半導体支持基板の裏面に設けられた薄膜またはストレス発生領域により形成されることを特徴とする半導体集積回路装置。

【請求項 5】 請求項 1 または 4 記載の半導体集積回路装置であって、

前記薄膜は、ポリシリコン薄膜であることを特徴とする半導体集積回路装置。

【請求項 6】 請求項 1 または 4 記載の半導体集積回路装置であって、

前記ストレス発生領域は、前記裏面に噴射された微粒子の衝突による表面粗化処理、または前記裏面に形成された窒化シリコン膜との応力差によって形成されるものであることを特徴とする半導体集積回路装置。

【請求項 7】 半導体支持基板上の絶縁層上に設けられた半導体薄膜層に半導体集積回路素子を有し、前記半導体支持基板にゲッタリング領域を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体支持基板となる第 1 の半導体基板にゲッタリング領域を形成する工程、

(b) 前記半導体薄膜層となる第 2 の半導体基板の表面にシリコン酸化膜を形成し、前記シリコン酸化膜が形成された前記第 2 の半導体基板と、前記ゲッタリング領域を有する前記第 1 の半導体基板とを接合して接合基板を形成する工程、

(c) 前記接合基板のうち、前記第 2 の半導体基板にかかる部分を研磨し、前記半導体薄膜層を形成する工程、を有する半導体集積回路装置の製造方法。

【請求項 8】 請求項 7 記載の半導体集積回路装置の製

造方法であって、

前記ゲッタリング領域は、前記第 1 の半導体基板を熱処理することにより形成され、前記半導体支持基板全体に分布した酸素析出物からなる第 1 の構成、

前記第 1 の半導体基板にリン (P) をイオン注入することにより、またはリン (P) を熱拡散により導入することにより形成され、前記半導体支持基板と前記絶縁層との界面に形成された不純物拡散層からなる第 2 の構成、の何れかの構成であることを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 半導体支持基板上の絶縁層上に設けられた半導体薄膜層に半導体集積回路素子を有し、前記半導体支持基板にゲッタリング領域を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体薄膜層となる第 2 の半導体基板の表面にシリコン酸化膜を形成し、前記シリコン酸化膜が形成された前記第 2 の半導体基板と、前記半導体支持基板となる第 1 の半導体基板とを接合して接合基板を形成する工程、

(b) 前記接合基板の両面または前記第 1 の半導体基板側にゲッタリング領域を形成する工程、

(c) 前記接合基板のうち、前記第 2 の半導体基板にかかる部分を研磨し、前記半導体薄膜層を形成する工程、を有する半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置およびその製造技術に関し、特に、高速・低消費電力 LSI の製造に用いられる貼り合わせ SOI (Silicon on Insulator) ウェハのゲッタリングに適用して有効な技術に関するものである。

【0002】

【従来の技術】高速・低消費電力 LSI への適用を目的として、素子と半導体基板との接合容量を小さくすることができる SOI 技術が注目されている。

【0003】SOI 構造を有するウェハ、すなわち SOI ウェハについては、たとえば、昭和 59 年 1 月 30 日、株式会社オーム社発行、「LSI ハンドブック」、p 388～p 390 に詳しく記載されている。以下簡単に説明する。

【0004】SOI ウェハは、一般に、三層構造を成している。最上層（以下表面シリコン層と称する）は厚さ 0.1 μm～数 μm の単結晶シリコン層であり、ここに半導体集積回路素子が形成される。中間層として、厚さ数百 nm の埋め込み SiO₂ 膜（以下 BOX と称する）を有し、最下層にシリコン基板を有するものである。

【0005】このような SOI ウェハにおいても、シリコンウェハと同様に、半導体集積回路素子が形成される領域となる表面シリコン層に含まれる金属原子あるいは欠陥等の不純物をゲッタリングして、半導体集積回路素

子の性能を向上させる技術が必要である。

【0006】SOIウェハにおけるゲッタリング技術として、特開平6-61235号公報がある。すなわち、デバイスの高電気的信頼度、高歩留まり可能なSOI構造の半導体集積回路装置およびその製造方法を提供することを目的として、ウェハ貼り合わせ技術を用いて、SOI構造の半導体集積回路用基板の埋め込み酸化膜の直上に高濃度インプラ層、多結晶シリコン層等のゲッタリング層を設けたものである。

【0007】また、従来、重金属原子はBOXをほとんど透過しないと見なされていたため、SOIウェハに対して、従来のイントリンシックゲッタリング法やイクストリンシックゲッタリング法は適用できないと考えられ、有効なゲッタリング法が提案されなかった。

【0008】ところが、J. Jablonski他、J. Electrochem. Soc.、第142巻第6号2059頁、1995年6月、において、SIMOXウェハを用いた実験から厚さ数百nmのBOXを重金属原子が透過することが報告され、SIMOXウェハに対するゲッタリング法が提案されている。この提案を簡単に説明すると、BOX直下のイオン注入ダメージ層に表面シリコン層中の重金属原子をゲッターさせるものである。

【0009】

【発明が解決しようとする課題】上記特開平6-61235号公報に示された技術は、 $0.1\text{ }\mu\text{m}\sim\text{数 }\mu\text{m}$ の厚さを有する表面シリコン層とBOXとの間にゲッタリング層を設けるものであり、そのような薄い表面シリコン層の下部にゲッタリング層を設けることはプロセス上の困難を伴うものである。

【0010】また、前記J. Jablonski他の文献に示された技術は、BOX下部にゲッタリング層を設けるものではあるが、ゲッタリング層は、BOX形成後、表面シリコン層を通してイオン注入によりダメージ層として形成されるものであるため、半導体集積回路素子の性能に影響する表面シリコン層の品質を高く保つことが困難である。

【0011】本発明の目的は、高いゲッタリング能力を有するゲッタリング層を備えた半導体集積回路装置を提供することにある。

【0012】本発明の他の目的は、そのような半導体集積回路装置の簡易な製造方法を提供することにある。

【0013】本発明のさらに他の目的は、ゲッタリング層により不純物をゲッタリングし、半導体集積回路装置の性能を向上することにある。

【0014】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される

発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0016】(1) 本発明の半導体集積回路装置は、半導体支持基板と半導体支持基板上に設けられた絶縁層と絶縁層上に設けられた半導体薄膜層とを有する半導体集積回路用基板の半導体薄膜層に半導体集積回路素子が形成された半導体集積回路装置であって、半導体支持基板にゲッタリング領域を設けたものである。

【0017】このような半導体集積回路装置によれば、SOIで例示される半導体集積回路用基板の半導体支持基板にゲッタリング領域を設けたため、絶縁層上に設けられた半導体薄膜層にゲッタリング領域を設ける必要がなく、その半導体薄膜層に形成された半導体集積回路素子の性能を向上することができる。

【0018】すなわち、製造工程が複雑となる半導体薄膜層と絶縁層との界面にゲッタリング領域を設ける従来の構成ではなく半導体支持基板にゲッタリング領域を設ける構成を採用することにより、有効なゲッタリング領域を容易な製造方法により形成することができる。

【0019】(2) 本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、ゲッタリング領域を半導体支持基板全体に分布した酸素析出物としたものである。

【0020】このような半導体集積回路装置によれば、ゲッタリング領域を半導体支持基板全体に分布した酸素析出物とすることにより、半導体集積回路素子の性能を向上することができる。すなわち、半導体薄膜層中に存在する金属あるいは欠陥等の不純物を、酸素析出物により形成された歪み領域にゲッタリングし、半導体薄膜層中の不純物を低減することができる。

【0021】また、酸素析出物からなるゲッタリング領域を半導体薄膜層ではなく半導体支持基板に設けることにより、半導体薄膜層とは分離してゲッタリング領域を形成することが可能である。そのため、アニール温度の履歴を工夫して半導体薄膜層にデヌーデッドゾーンを形成する必要がなく、製造工程を簡略化することができる。

【0022】(3) 本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、ゲッタリング領域を、半導体支持基板と絶縁層との界面に形成されたリン(P)が高濃度に導入された不純物拡散層としたものである。

【0023】このような半導体集積回路装置によれば、半導体集積回路素子の性能を向上することができる、また、製造工程を簡略化することができる、さらに、高濃度のリン(P)が導入された不純物拡散層を設けたため、金属元素の固溶限の増大による化学的な作用によって金属不純物をゲッタリングすることができる。

【0024】(4) 本発明の半導体集積回路装置は、前記(1)記載の半導体集積回路装置であって、ゲッタリ

ング領域を、半導体薄膜層を表面とする半導体支持基板の裏面に設けられた薄膜またはストレス発生領域により形成するものである。

【0025】このような半導体集積回路装置によれば、ゲッタリング領域を半導体支持基板の裏面に設けられた薄膜またはストレス発生領域により形成するため、半導体集積回路素子の性能を向上することができ、また、製造工程を簡略化できる。すなわち、ゲッタリング領域を有さない半導体集積回路用基板に、ゲッタリング領域を付加した構造であるため、ゲッタリング領域の形成を半導体集積回路装置の製造工程の任意の段階で比較的自由に行うことができる。これにより、半導体集積回路装置の製造工程全体の最適化を図ることが容易となる。

【0026】(5) 本発明の半導体集積回路装置は、前記(1)または(4)記載の半導体集積回路装置であって、薄膜をポリシリコン薄膜としたものである。

【0027】このような半導体集積回路装置によれば、ゲッタリング領域である薄膜をポリシリコン薄膜とするため、金属不純物のゲッタリングを有効に行うことができ、半導体集積回路装置の性能を向上することができる。

【0028】すなわち、ポリシリコン薄膜をゲッタリング領域とすることにより、そのポリシリコン薄膜と半導体支持基板の裏面との界面に形成されるストレスによる歪み場の作用のみならず、ポリシリコン薄膜内に存在する結晶欠陥、特にポリシリコン薄膜を構成するシリコン粒の粒界の作用による金属不純物のゲッタリング能力を増大させることができる。

【0029】(6) 本発明の半導体集積回路装置は、前記(1)または(4)記載の半導体集積回路装置であって、ストレス発生領域を、裏面に噴射された微粒子の衝突による表面粗化処理、または裏面に形成された窒化シリコン膜との応力差によって形成するものである。

【0030】このような半導体集積回路装置によれば、ストレス発生領域を裏面に噴射された微粒子の衝突による表面粗化処理、または裏面に形成された窒化シリコン膜との応力差によって形成しているため、金属不純物のゲッタリングを有効に行うことができ、半導体集積回路装置の性能を向上することができる。

【0031】すなわち、半導体支持基板の裏面への微粒子の衝突による表面粗化処理あるいは窒化シリコン膜の形成は、その処理あるいは形成された領域に大きなストレスを発生させるものであり、このストレスによる歪み場の形成は、金属不純物のゲッタリングを非常に有効に行うものである。

【0032】(7) 本発明の半導体集積回路装置の製造方法は、半導体支持基板上の絶縁層に設けられた半導体薄膜層に半導体集積回路素子を有し、半導体支持基板にゲッタリング領域を有する半導体集積回路装置の製造方法であって、(a) 半導体支持基板となる第1の半導

体基板にゲッタリング領域を形成する工程、(b) 半導体薄膜層となる第2の半導体基板の表面にシリコン酸化膜を形成し、シリコン酸化膜が形成された第2の半導体基板とゲッタリング領域を有する第1の半導体基板とを接合して接合基板を形成する工程、(c) 接合基板のうち第2の半導体基板にかかる部分を研磨し半導体薄膜層を形成する工程、を有するものである。

【0033】このような半導体集積回路装置の製造方法によれば、第1の半導体基板にゲッタリング領域を形成し、別に作成した第2の半導体基板と貼り合わせることにより半導体集積回路用基板を形成するため、ゲッタリング領域の製造工程によって半導体集積回路素子が形成される半導体薄膜層が影響を受けることがない。この結果、半導体集積回路素子の性能に影響する半導体薄膜層の品質をゲッタリング領域の製造工程によって劣化させることなく良好に保持することができる。

【0034】(8) 本発明の半導体集積回路装置の製造方法は、前記(7)記載の半導体集積回路装置の製造方法であって、ゲッタリング領域を、第1の半導体基板を熱処理することにより形成される半導体支持基板全体に分布した酸素析出物、または、第1の半導体基板にリン(P)をイオン注入または熱拡散することにより形成され、半導体支持基板と絶縁層との界面に形成された不純物拡散層、の何れかとするものである。

【0035】このような半導体集積回路装置の製造方法によれば、酸素析出物あるいは不純物拡散層は、半導体集積回路素子の性能に影響する半導体薄膜層を含む第2の半導体基板とは別に製造することができ、また、第2の半導体基板の物性変化を考慮することなく酸素析出物あるいは不純物拡散層の製造の工程条件を最適化することができる。

【0036】(9) 本発明の半導体集積回路装置の製造方法は、半導体支持基板上の絶縁層に設けられた半導体薄膜層に半導体集積回路素子を有し、半導体支持基板にゲッタリング領域を有する半導体集積回路装置の製造方法であって、(a) 半導体薄膜層となる第2の半導体基板の表面にシリコン酸化膜を形成し、シリコン酸化膜が形成された第2の半導体基板と半導体支持基板となる第1の半導体基板とを接合して接合基板を形成する工程、(b) 接合基板の両面または第1の半導体基板側にゲッタリング領域を形成する工程、(c) 接合基板のうち、第2の半導体基板にかかる部分を研磨し、半導体薄膜層を形成する工程、を有するものである。

【0037】このような半導体集積回路装置の製造方法によれば、第1の半導体基板と第2の半導体基板とを貼り合わせた後にゲッタリング領域をその両面あるいは第1の半導体基板面に形成するため、製造工程を簡略化することができる。すなわち、第1の半導体基板側つまり半導体集積回路素子用基板の裏面に薄膜を形成してこれをゲッタリング領域とする場合には、あらかじめゲッタ

リング領域を第1の半導体基板に設けた後に第2の半導体基板と貼り合わせる工程を採用するよりも、第1および第2の半導体基板を貼り合わせた後にゲッタリング領域を設ける方が、薄膜形成時に発生する汚染を貼り合わせ前に除去する必要がないため、工程が簡略化でき、有利である。

【0038】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて詳細に説明する。

【0039】(実施の形態1) 図1は、本発明の一実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0040】本実施の形態1の半導体集積回路装置1は、半導体支持基板2、半導体支持基板2上に形成された絶縁層であるBOX3およびBOX3上に形成された半導体薄膜層である表面シリコン層4からなるSOI構造を有するものであり、表面シリコン層4には図示しないが半導体集積回路素子が形成されている。

【0041】半導体支持基板2は、ゲッタリングのサイトとなる酸素析出物5を有する。酸素析出物5は、半導体支持基板2の全体にはほぼ均一に分布し、その密度は $10^4 \sim 10^6$ 個/ cm^3 である。

【0042】このような半導体集積回路装置1によれば、表面シリコン層4に存在する不純物を、BOX3を介して半導体支持基板2内に存在する酸素析出物5によりゲッタリングすることができる。これにより、表面シリコン層4に形成された半導体集積回路素子の性能を向上することができ、半導体集積回路装置1の高性能化、歩留まり向上を図ることができる。

【0043】次に、本実施の形態1の半導体集積回路装置1の製造方法を図2～図7に従って説明する。

【0044】まず、第1の半導体基板であるシリコンウェハ6を用意する(図2)。シリコンウェハ6は、半導体支持基板2となるものである。

【0045】シリコンウェハ6の結晶特性は、たとえば、面方位(100)、導電形N形、抵抗率 $10\Omega \cdot \text{cm}$ 、酸素濃度 1×10^{18} 原子/ cm^3 、直径125mm、厚さ $550\mu\text{m}$ とすることができる。

【0046】次に、シリコンウェハ6をアニールすることにより、ウェハ内部に酸素析出核7を形成する(図3)。アニール条件は、N2雰囲気中、温度を750°C、処理時間を5時間とすることができます。

【0047】次に、第2の半導体基板であるシリコンウェハ8を用意する(図4)。シリコンウェハ8は、SOIウェハの素子が形成される側のボンドウェハとなるものである。

【0048】シリコンウェハ8の結晶特性は、たとえば、面方位(100)、導電形N形、抵抗率 $10\Omega \cdot \text{cm}$ 、酸素濃度 8×10^{17} 原子/ cm^3 、直径125mm、厚さ $550\mu\text{m}$ とすることができる。

【0049】次に、シリコンウェハ8を熱酸化して、表面に厚さ 500nm のBOX3を形成し、ボンドウェハ9とする(図5)。

【0050】次に、シリコンウェハ6とボンドウェハ9を、鏡面側を互いに対向させて重ね合わせた後、N2雰囲気中で 1050°C 、3時間のアニールを行って、両者を強固に接着させるとともに、シリコンウェハ6内に形成しておいた酸素析出核7を酸素析出物10に成長させる(図6)。これにより貼り合わせウェハ11が得られる。

【0051】次に、貼り合わせウェハ11のボンドウェハ9側の面を、平面研削盤で所定の表面シリコン層4の厚さより数十 μm 厚い厚さまで除去し、その後化学的機械的研磨法により所定の表面シリコン層4の厚さ(例えば $2\mu\text{m}$)まで研磨する(図7)。このようにして、BOX3の下の半導体支持基板2の中にゲッタリングサイトとなる酸素析出物10を有する半導体集積回路用基板が形成される。

【0052】最後に、表面シリコン層4の表面に公知の技術を用いて半導体集積回路素子を形成し、半導体集積回路装置1が完成する。

【0053】このような半導体集積回路装置1の製造方法によれば、第1の半導体基板である半導体支持基板2にゲッタリング領域である酸素析出物10を形成し、別に作成した第2の半導体基板であるボンドウェハ9を貼り合わせることにより半導体集積回路用基板を形成するため、酸素析出物10の形成工程によって受ける表面シリコン層4の影響を回避することができ、この結果、半導体集積回路装置1の性能を向上することができる。

【0054】また、酸素析出核7と表面シリコン層4を含む第2の半導体基板とを別に製造することができるため、第2の半導体基板の物性変化を考慮することなく酸素析出核7の密度を高めるための工程条件の最適化を図ることができる。

【0055】(実施の形態2) 図8は、本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0056】本実施の形態2の半導体集積回路装置12は、半導体支持基板13、半導体支持基板13上に形成された絶縁層であるBOX3およびBOX3上に形成された半導体薄膜層である表面シリコン層4からなるSOI構造を有するものであり、表面シリコン層4には図示しないが半導体集積回路素子が形成されている。

【0057】また、半導体支持基板13の裏面には、多結晶シリコン膜14が約 $1\mu\text{m}$ の膜厚で形成されている。この多結晶シリコン膜14が、ゲッタリング領域となる。

【0058】このような半導体集積回路装置12によれば、表面シリコン層4に存在する不純物を、BOX3および半導体支持基板13を介して多結晶シリコン膜14

にゲッタリングすることにより、表面シリコン層4に形成された半導体集積回路素子の性能を向上することができ、半導体集積回路装置12の高性能化、歩留まり向上を図ることができる。

【0059】次に、本実施の形態2の半導体集積回路装置12の製造方法を図9～図11に従って説明する。

【0060】まず、第2の半導体基板であるシリコンウェハ15を用意し、シリコンウェハ15を熱酸化して、表面に厚さ500nmのBOX3を形成する(図9)。シリコンウェハ15は、SOIウェハの素子が形成される側のボンドウェハとなるものである。

【0061】シリコンウェハ15の結晶特性は、たとえば、面方位(100)、導電形N形、抵抗率 $10\Omega\cdot\text{cm}$ 、直径125mm、厚さ550μmとすることができる。

【0062】次に、シリコンウェハ15と同一の結晶特性を有するシリコンウェハ16を用意し、シリコンウェハ15とシリコンウェハ16を鏡面側を互いに対向させて重ね合わせた後、N2雰囲気中で、温度を1050°C、処理時間を3時間としてアニールを行い、両者を強固に接着させ、貼り合わせウェハ17を得る(図10)。シリコンウェハ16は半導体支持基板13となるものである。

【0063】次に、貼り合わせウェハ17の両面に、公知のCVD法を用いて多結晶シリコン膜14を約1μmの厚さになるまで堆積する(図11)。

【0064】次に、貼り合わせウェハ17のシリコンウェハ15側の面を、平面研削盤で所定の表面シリコン層4の厚さより数十μm厚い厚さまで除去し、その後化学的機械的研磨法により所定の表面シリコン層4の厚さ(例えは2μm)まで研磨する。このようにして、半導体支持基板13の裏面にゲッタリング領域となる多結晶シリコン膜14を有する半導体集積回路用基板が形成される。

【0065】最後に、表面シリコン層4の表面に公知の技術を用いて半導体集積回路素子を形成し、図8に示す半導体集積回路装置12が完成する。

【0066】このような半導体集積回路装置12の製造方法によれば、シリコンウェハ15とシリコンウェハ16とを貼り合わせた後に多結晶シリコン膜14を形成するため、製造工程を簡略化することができる。すなわち、第1の半導体基板であるシリコンウェハ16側にあらかじめ多結晶シリコン膜14を形成してシリコンウェハ15と貼り合わせるよりも、貼り合わせた後に多結晶シリコン膜14を設ける方が、薄膜形成時に発生する汚染を貼り合わせ前に除去する必要がないため、工程が簡略化でき、有利である。

【0067】なお、本実施の形態2では、ゲッタリング領域として多結晶シリコン膜14の例を示したが、窒化シリコン膜の形成、あるいはサンドblastによる表面

粗化処理であってもよい。この場合、不純物のゲッタリングは、形成された窒化シリコン膜と半導体支持基板13との界面、あるいは粗化された領域のストレスによる歪み場の発生によって不純物が効率よくゲッタリングされる。また、これらの処理は一般に低温度で処理されるため、デバイス特性に影響を与えることが少ない。なお、この場合、貼り合わせウェハ17を形成する雰囲気は、N2の他に酸素とすることができます。このようなどきには、機械的欠陥部分に酸素誘起積層欠陥が形成され、さらにゲッタリングの効果を上げることができる。

【0068】また、機械的なストレスの発生を目的としたゲッタリング領域の例として、窒化シリコン膜の例を示したが、炭化シリコン膜、酸化アルミニウム膜、窒化チタン等の薄膜であってもよい。

【0069】(実施の形態3) 図12は、本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【0070】本実施の形態3の半導体集積回路装置18は、半導体支持基板13、半導体支持基板13上に形成された絶縁層であるBOX3およびBOX3上に形成された半導体薄膜層である表面シリコン層4からなるSOI構造を有するものであり、表面シリコン層4には図示しないが半導体集積回路素子が形成されている。

【0071】また、半導体支持基板13とBOX3の界面には、リン(P)が高濃度で導入された不純物拡散層19が形成されている。この不純物拡散層19が、ゲッタリング領域となる。

【0072】このような半導体集積回路装置18によれば、表面シリコン層4に存在する不純物を、BOX3を介して不純物拡散層19にゲッタリングすることにより、表面シリコン層4に形成された半導体集積回路素子の性能を向上することができ、半導体集積回路装置18の高性能化、歩留まり向上を図ることができる。

【0073】次に、本実施の形態3の半導体集積回路装置18の製造方法を図13～図15に従って説明する。

【0074】まず、第1の半導体基板であるシリコンウェハ13を用意する(図13)。

【0075】シリコンウェハ13の結晶特性は、たとえば、面方位(100)、導電形N形、抵抗率 $10\Omega\cdot\text{cm}$ 、直径125mm、厚さ550μmとすることができる。

【0076】次に、シリコンウェハ13の鏡面側にリン(P)をドーピングすることにより不純物拡散層19を形成する(図14)。

【0077】リン(P)をドーピングする方法は、たとえば、熱拡散法を用いることができる。この場合、POCl₃を拡散ソースにして、950°Cで15分間堆積することによりリン濃度が約 1×10^{21} 原子/ cm^3 のリンガラス層を形成し、N₂雰囲気中で1000°C、30分のアニールを行い、深さ1μm、濃度 1×10^{20} 原子

/cm³ のリン拡散層を形成することができる。

【0078】また、リン(P)をドーピングする方法として、たとえば、イオン注入法を例示することができる。この場合、P⁺イオンをエネルギー100keV、ドーズ量 1×10^{16} イオン/cm²で注入した後、N₂雰囲気中で1000°C、30分のアニールを行い、深さ1μm、濃度 1×10^{20} 原子/cm³のリン拡散層を形成することができる。

【0079】次に、実施の形態1で説明したシリコンウェハ8を用意し、この表面にBOX3を形成してボンドウェハ9を形成する(図5)。シリコンウェハ8、BOX3およびボンドウェハ9についても実施の形態1と同様であるため説明を省略する。

【0080】次に、シリコンウェハ13とボンドウェハ9を、鏡面側を互いに対向させて重ね合わせた後、N₂雰囲気中で1050°C、3時間のアニールを行って、両者を強固に接着させ、貼り合わせウェハ21を得る(図15)。

【0081】次に、貼り合わせウェハ21のボンドウェハ9側の面を、平面研削盤で所定の表面シリコン層4の厚さより数十μm厚い厚さまで除去し、その後化学的機械的研磨法により所定の表面シリコン層4の厚さ(例えば2μm)まで研磨する。このようにして、半導体支持基板13とBOX3との界面にゲッタリング領域となる不純物拡散層19を有する半導体集積回路用基板が形成される。

【0082】最後に、表面シリコン層4の表面に公知の技術を用いて半導体集積回路素子を形成し、図12に示す半導体集積回路装置18が完成する。

【0083】このような半導体集積回路装置18の製造方法によれば、ゲッタリング領域となる不純物拡散層19の形成と、半導体集積回路装置の性能に影響する表面シリコン層4およびBOX3を有するボンドウェハ9の形成を分離して行うため、表面シリコン層4およびBOX3の界面の物性が、不純物拡散層19の形成による影響を受けることがない。たとえば、BOX3を形成した後にBOX3を介して不純物を熱拡散あるいはイオンドーピングする場合には、BOX3内での導入される不純物原子の残留等を発生する可能性があるが、本実施の形態3の製造方法では、このような不具合は生じない。この結果、半導体集積回路装置の性能向上、歩留まり向上に寄与することができる。

【0084】以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0085】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以

下のとおりである。

【0086】(1) 従来難しいと考えられてきた、貼り合わせSOIウェハへのゲッタリング技術の適用が可能となった。すなわち、絶縁層である埋め込みSiO₂膜の下部の半導体支持基板にゲッタリング領域を設けることにより、半導体デバイスの製造工程で入り込む汚染重金属をこれらのゲッタリング領域にトラップすることができ、素子の電気特性およびプローブ歩留の向上を図ることが可能となる。また、半導体支持基板にゲッタリング領域を設けたため、絶縁層上に設けられた半導体薄膜層にゲッタリング領域を設ける必要がなく、その半導体薄膜層に形成された半導体集積回路素子の性能を向上することができる。

【0087】(2) ゲッタリング領域を半導体支持基板全体に分布した酸素析出物とすることにより、半導体集積回路素子の性能を向上することができる。また、酸素析出物からなるゲッタリング領域を半導体薄膜層ではなく半導体支持基板に設けることにより、半導体薄膜層とは分離してゲッタリング領域を形成することができる。また、半導体薄膜層にデヌーデッドゾーンを形成する必要がなく、製造工程を簡略化することができる。

【0088】(3) 高濃度のリン(P)が導入された不純物拡散層を設けたため、金属元素の固溶限の増大による化学的な作用によって金属不純物をゲッタリングすることができる。

【0089】(4) ゲッタリング領域を半導体支持基板の裏面に設けられた薄膜またはストレス発生領域により形成するため、ゲッタリング領域を有さない半導体集積回路用基板にゲッタリング領域を付加した構造となり、ゲッタリング領域の形成を半導体集積回路装置の製造工程の任意の段階で比較的自由に行うことができる。これにより、半導体集積回路装置の製造工程全体の最適化を図ることが容易となる。

【0090】(5) ゲッタリング領域である薄膜をポリシリコン薄膜あるいは窒化シリコン膜とするため、またはゲッタリング領域を裏面に噴射された微粒子の衝突による表面粗化処理により形成するため、金属不純物のゲッタリングを有効に行うことができ、半導体集積回路装置の性能を向上することができる。

【0091】(6) 第1の半導体基板にゲッタリング領域を形成し、別に作成した第2の半導体基板と貼り合わせることにより半導体集積回路用基板を形成するため、ゲッタリング領域の製造工程によって受ける半導体薄膜層への影響を回避することができ、この結果、半導体集積回路素子の性能に影響する半導体薄膜層の品質をゲッタリング領域の製造工程によって劣化させることなく良好に保持することができる。

【0092】(7) 酸素析出物あるいは不純物拡散層を半導体集積回路素子の性能に影響する半導体薄膜層を含む第2の半導体基板とは別に製造することができ、ま

た、第2の半導体基板の物性変化を考慮することなく酸素析出物あるいは不純物拡散層の製造の工程条件を最適化することができる。

【0093】(8) 第1の半導体基板と第2の半導体基板とを貼り合わせた後にゲッタリング領域を形成するため、製造工程を簡略化することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図2】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図3】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図4】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図5】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図6】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図7】本発明の一実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図8】本発明の他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図9】本発明の他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図10】本発明の他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図11】本発明の他の実施の形態である半導体集積回

路装置の製造工程の一例を示した要部断面図である。

【図12】本発明のさらに他の実施の形態である半導体集積回路装置の一例を示した要部断面図である。

【図13】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図14】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【図15】本発明のさらに他の実施の形態である半導体集積回路装置の製造工程の一例を示した要部断面図である。

【符号の説明】

1, 12 半導体集積回路装置

2, 13 半導体支持基板

3 BOX

4 表面シリコン層

5 酸素析出物

6, 8, 15, 16, シリコンウェハ

7 酸素析出核

9 ボンドウェハ

10 酸素析出物

11 貼り合わせウェハ

14 多結晶シリコン膜

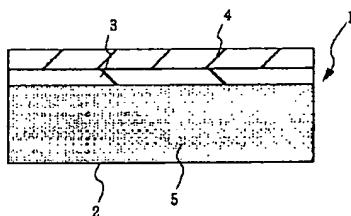
17, 21 貼り合わせウェハ

18 半導体集積回路装置

19 不純物拡散層

【図1】

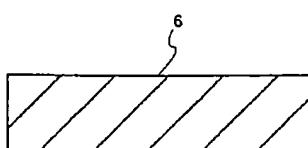
図 1



- 1 半導体集積回路装置
- 2 半導体支持基板
- 3 BOX
- 4 表面シリコン層
- 5 酸素析出物

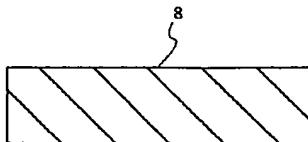
【図2】

図 2



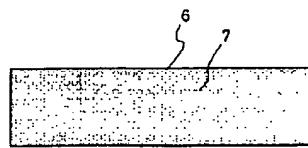
【図4】

図 4



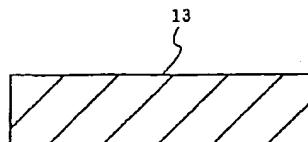
【図3】

図 3



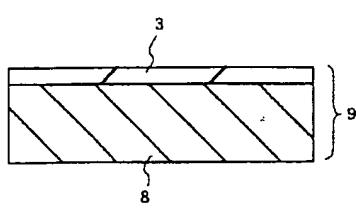
【図13】

図 13



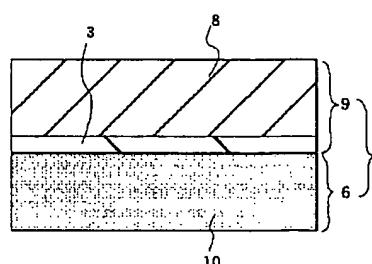
【図5】

図 5



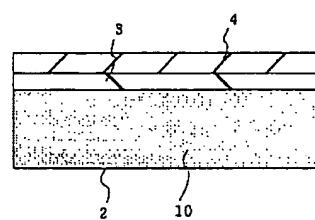
【図6】

図 6



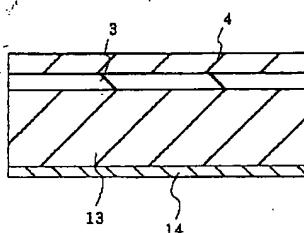
【図7】

図 7



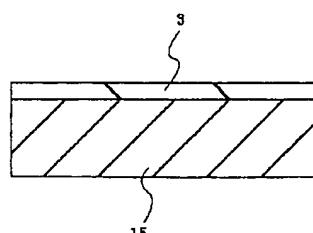
【図8】

図 8



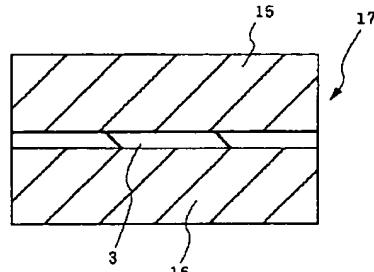
【図9】

図 9



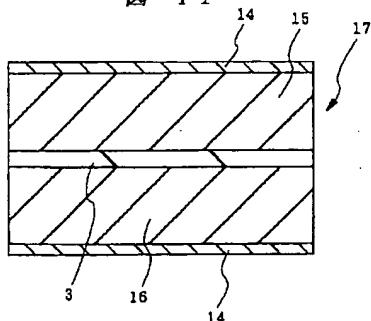
【図10】

図 10



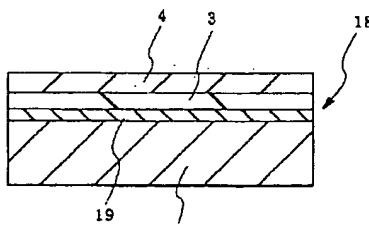
【図11】

図 11



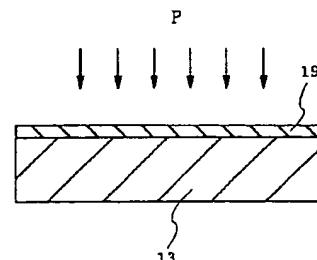
【図12】

図 12



【図14】

図 14



【図15】

図 15

